

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 06260489
PUBLICATION DATE : 16-09-94

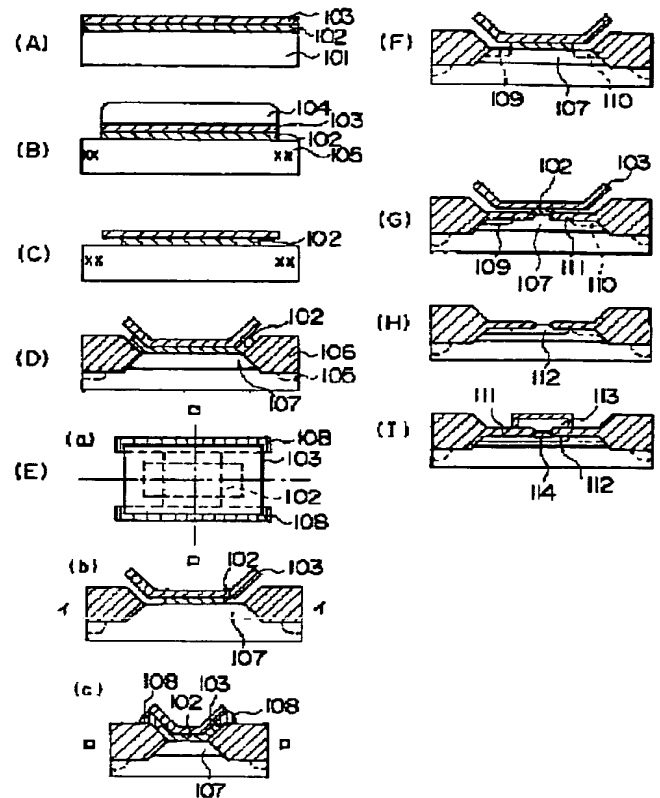
APPLICATION DATE : 02-03-93
APPLICATION NUMBER : 05041180

APPLICANT : OKI ELECTRIC IND CO LTD;

INVENTOR : OKITA YOSHIHISA;

INT.CL. : H01L 21/331 H01L 29/73

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To manufacture a fine structure which is suitable for high-speed operations with good reproducibility by successively forming an external base, collector resistance reducing area, intrinsic base, and emitter by using a two-layer protective film composed of an oxidation-resistant film and oxide film as an oxidation-resistant mask and degenerating the oxidation-resistant film by using a protective film as a mask.

CONSTITUTION: A protective film is formed on a p-type substrate 101 by depositing a silicon nitride film 102 as an oxidation-resistant film and oxide silicon film 103. The nitride film 102 is regenerated against the oxide film 102 by wet etching, etc. Then an oxide film 106 is formed on the surface of the substrate except a collector area by performing thermal oxidation by using the regenerated nitride film 102 as a mask and the low-concentration collector area 107 is formed by performing ion implantation and heat treatment. After forming the collector area 107, ions of a p-type impurity are implanted into one side of the exposed part of the collector 107 and ions of an n-type impurity are implanted into the other side. Then the nitride film 102 is further regenerated and an oxide film 111 is formed by performing thermal oxidation by using the nitride film 102 as a mask.

COPYRIGHT: (C)1994,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-260489

(43) 公開日 平成6年(1994)9月16日

(51) Int.Cl.⁵

H 0 1 L 21/331
29/73

識別記号

庁内整理番号

F 1

技術表示箇所

8427-4M

H 0 1 L 29/ 72

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平5-41180

(22) 出願日 平成5年(1993)3月2日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 沖田 佳久

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

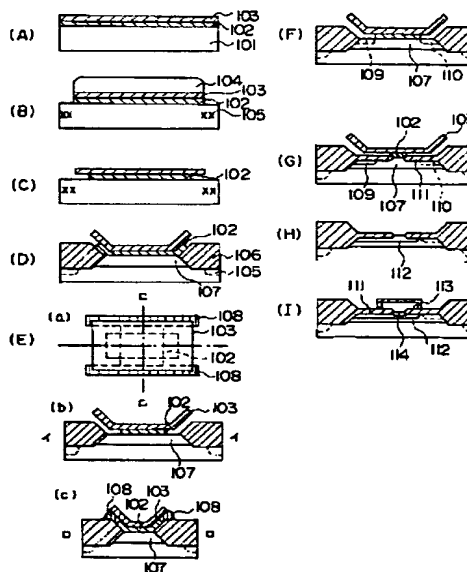
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 本発明は、バイポーラ型半導体装置の製造方法に関するもので、製造工程におけるパターン作成を低減することを目的とする。

【構成】 前記目的のため本発明は、半導体基板101上に、窒化膜102と酸化膜103との2層膜をコレクタ領域上にパターン形成し、コレクタ領域107を形成し、前記窒化膜102を数回縮退（アンダーカット）させつつ、素子分離絶縁膜106、外部ベース領域109、コレクタ接触部110などを自己整合的に形成して行くようにしたものである。



本発明の第1の実施例

【特許請求の範囲】

【請求項1】 (a) 第1導電型半導体基板の第1領域上に、耐酸化性膜と第1の絶縁膜とから成る積層膜パターンの保護膜を形成する工程、

(b) 前記第1領域以外の領域に第2の絶縁膜を形成し、前記第1領域を第2導電型の島領域とする工程、

(c) 前記積層膜パターンの対向する2辺に側壁保護膜を形成する工程、

(d) 前記耐酸化性膜パターンを、前記第1領域の一部が露出するよう縮退させて、その露出した部分の一方を第2領域、もう一方を第3領域とし、残っている前記耐酸化性膜の部分を第4領域とする工程、

(e) 前記第2、第3領域に、それぞれ第1導電型、第2導電型の領域を形成する工程、

(f) 再度、前記耐酸化性膜を縮退させて、前記第2、第3領域を広げ、少なくとも該第2、第3領域上に第3の絶縁膜を形成する工程、

(g) 前記耐酸化性膜、第1の絶縁膜、側壁保護膜を除去する工程、

(h) 前記第2領域を含み、第4領域から第3領域の一部に延在する領域に第1導電型の領域を形成する工程、

(i) 前記第4領域に第2導電型の領域を形成する工程、

以上の工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1 (a) 項記載の積層膜パターンの保護膜を形成した後、該保護膜の端部の下までくぼみ(リセス)ができるように、前記保護膜部分以外の領域の半導体基板上部をエッチング除去し、前記保護膜以外に第2の絶縁膜を形成し、第1領域を第2導電型の領域とし、その後、請求項1の(c)ないし(i)項の工程を施すことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1の(a)ないし(e)項記載の工程を施した後、前記第2、第3領域上に第3の絶縁膜を形成し、次いで前記耐酸化性膜をさらに縮退させて前記第1領域が露出した部分に、第4の絶縁膜を形成し、その後、請求項1の(g)ないし(i)項記載の工程を施すことを特徴とする半導体装置の製造方法。

【請求項4】 請求項1の(a)ないし(d)項記載の工程を施した後、前記耐酸化性膜上の第1の絶縁膜と半導体基板との間隙を埋めるように、前記第2、第3領域に接するよう電極引き出し材を形成した後、前記第2、第3領域に第1、第2導電型の領域を形成し、前記第1の積層膜と側壁保護膜を除去し、前記電極材の上に絶縁膜を形成した後、請求項1の(h)(i)項記載の工程を施すことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置の中でも特に高速高集積のバイポーラ型半導体装置の製造方法に

関するものである。

【0002】

【従来の技術】 従来この種の高速高集積に適した超小型のバイポーラトランジスタを有する半導体装置の製造方法は特開昭59-107573号公報に開示されるものがあり、その製造工程の主要部を図5、図6の(A)ないし(F)に示し、以下に概要を説明する。

【0003】 図5(A)に至るまでの工程は図示していないが、半導体基板(p型、以下単に基板と称す)10上に、シリコン窒化膜(以下単に窒化膜と称す)とシリコン酸化膜(以下単に酸化膜と称す)をCVD(化学的気相成長)法で形成し、それをホトリソ(ホトリソグラフィ)、エッチング技術にてパターニングし、素子分離絶縁膜(酸化膜)20を熱酸化などで形成する。そして、前記素子分離絶縁膜20の下にチャンネルストップ層としてp⁺層をフィールド打ち込みにて形成し、前記窒化膜、酸化膜を除去する。そこまで形成された基板の断面図が図5(A)であり、前記素子分離絶縁膜20で分離された島12がトランジスタ形成領域であり、平面的には図5(B)の(b)に示すように一般に矩形状をしている。

【0004】 次に、図5(A)のように、前記島12の部分の基板10内に不純物(例えば燐)を打ち込み、n型領域22を作る。これを加熱して前記不純物原子を基板10内にさらに深く侵入させて前記n型領域22を広げる。この領域22は最終的にはトランジスタのコレクタとなる。

【0005】 次いで、図5(C)のように、基板10上に窒化膜24と酸化膜26を形成して、所定部分(図では左側の素子分離絶縁膜20に隣接した部分)をエッチングし除去する。平面的にはこの部分は図5(C)の(b)に示すようにほぼ正方形となっている。次ぎにその部分に不純物(例えば砒素)を打ち込みn⁺型導電層28を形成する。この部分は最終的にはトランジスタのコレクタ接触部となる。

【0006】 次いで、図6(D)のように、前記酸化膜26を除去し、窒化膜24をパターニングして、前記n⁺層28上に酸化膜20aを形成(素子分離絶縁膜20がそこまで延びた形状となる)した後、前記窒化膜24の残りを除去する。次いで、再度窒化膜38と酸化膜40を形成してパターニングし、真性トランジスタ部(トランジスタのメイン部)パターン46を形成し、これをマスクにして不純物(例えば硼素)を打ち込み、トランジスタの外部ベース接触部となるp型領域44a、44bを形成した後、窒化膜38をアンダーカットする。

【0007】 次いで、図6(E)のように、前記p型領域44a、44b上に(つまり前記真性トランジスタ部46の端部まで)酸化膜20bを形成し(素子分離絶縁膜20がさらに延びた形状となる)、前記窒化膜38、酸化膜40を除去し、その部分(平面的には図6(F)

の(b)に示すようにほぼ正方形)に不純物(例えば硼素)を打ち込み、真性ベースとなるp型領域48を形成する。

【0008】次いで、図6(F)に示すように、前記コレクタ接触部28上の酸化膜20aを除去し、また、前記真性ベース48内上部にトランジスタのエミッタとなるようn⁺層52を形成する。その後、ベース、コレクタ、エミッタ電極などを形成していくのであるが、図示は省略する。

【0009】以上述べた技術によれば、エミッタ52の寸法を酸化膜38のアンダーカットにより決定できるため、写真食刻技術における最小分解以下の微細エミッタが形成できる利点を有していた。

【0010】

【発明が解決しようとする課題】しかしながら、前述の製造方法では、(1)コレクタ島領域22、(2)コレクタ接触部28形成のための酸化膜パターン24、

(3)真性ベース48、エミッタ52形成のための酸化膜パターン38の3つのパターン(後述するように保護膜とも言う)を個別に形成しなければならず、その位置合わせが必要となる。

【0011】従って、コレクタ接触部28と外部ベース領域44a、44bはそれぞれ写真食刻技術における位置合わせ誤差を考慮した寸法で設計しなければならず、これは困難な作業であり、前記領域に係る寄生抵抗や寄生容量が増大しがちであり、トランジスタとしての特性を阻害する要因となっていた。

【0012】本発明は、以上述べた問題点を除去するため、前記3つ酸化膜つまり耐酸化性保護膜(この膜は主な役割はパターン形成のためのマスクになるものであるが、一般に(特に英語圏では)パッシベーション即ち保護膜と称しているので、本明細書でも以下このような膜を保護膜と称す)パターン相互の位置合わせを不要、つまり自己整合的に行なうようにして、高速動作に適した微細な半導体装置を再現性よく製造可能な方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は前記目的のため、半導体装置の製造方法において、基板上の第1領域に耐酸化性膜(酸化膜)と絶縁膜(酸化膜)との保護膜から成る積層膜パターンを形成し、前記パターンの周囲に第2の保護膜(素子分離絶縁膜)を形成して前記第1領域をコレクタとし、前記積層膜パターンの対向する2辺に側壁保護膜を形成し、前記耐酸化性膜を前記第1領域の一部が露出する迄縮退させて、前記露出部分を第2領域、第3領域、前記耐酸化性膜に覆われている部分を第4領域とし、前記第2、第3領域に不純物を導入して外部ベースおよびコレクタ接触部を形成し、前記第2領域と前記第3領域との上に第3の保護膜(酸化膜)を形成し、前記第4領域に不純物を導入して真性ベースを形

成し、前記第4領域の内、前記第3の保護膜に覆われていない領域に不純物を導入してエミッタを形成する様にしたものである。

【0014】

【作用】前述のように本発明の製造方法によれば、素子分離の為に選択酸化の際に耐酸化マスク材として、耐酸化性膜と酸化膜から成る2層膜を用いるようにし、前記保護膜をマスク材として耐酸化性膜を縮退させながら、外部ベース、コレクタ抵抗低減領域、真性ベース、エミッタを順次形成するようにしたので、素子分離と前記各領域が全て自己整合で形成され、従って、高速動作に適した極めて微細な半導体装置を、写真食刻技術における位置合せ精度による制限を全く受けずに、再現性よく製作する事が可能となる。

【0015】又、素子分離完了後、前記2層膜パターンの対向する2辺の側壁に保護膜を形成する様にしたので、前記耐酸化性膜の縮退操作を、前記側壁保護膜が形成されていない2辺に限定する事が可能となり、高不純物濃度の外部ベースとコレクタ抵抗低減領域のオーバーラップによる漏洩電流の発生を、防止する事が可能となる。

【0016】

【実施例】本発明の第1ないし第4の実施例を図1ないし図4に示し、以下に説明する。なお、第2ないし第4の実施例を示す図2ないし図4および説明においては、第1の実施例と共通の部分は省略する。

【0017】まず、第1の実施例を図1(A)ないし(1)を参照しながら工程順に説明する。

【0018】(A)まず、比抵抗1~50Ω程度のp型基板101上に、CVD法などにより膜厚500~5000Å程度の耐酸化性膜である酸化シリコン膜(以下単に酸化膜と称す)102と、膜厚500~5000Å程度の酸化シリコン膜(以下単に酸化膜と称す)103(前述したようにこのような膜を本明細書では保護膜とも称す)を堆積する。このとき、酸化膜102と基板101との間に50~500Å程度の酸化膜を形成してもよい。

【0019】(B)次に、写真食刻技術を用いて、前記酸化膜102と酸化膜103とをトランジスタのコレクタ領域上を残して、それ以外の部分を除去するようにレジスト104を形成してホトリソ、エッチング技術でパターンニングする。その後、その酸化膜102と酸化膜103をマスクにして、前記トランジスタ領域以外の部分に硼素などの不純物を加速エネルギー50~500keVにて10¹²~10¹⁶cm⁻²程度イオン注入してp型層105を形成する。これは従来同様チャンネルストップ層である。

【0020】(C)次いで、熱燐酸を用いたウェットエッチングあるいは弗素イオンを用いた等方性ドライエッチングにより、酸化膜102をその上の酸化膜103に

対して、片側0.1~1 μ m程度縮退（アンダーカット）させる。

【0021】（D）次に、前記工程で縮退させた酸化膜102をマスクにして、熱酸化（選択酸化）を行ない、前記コレクタ領域以外に膜厚1000~10000Å程度の酸化膜（いわゆる素子分離絶縁膜）106を形成する。その後、磷、砒素などのn型不純物を加速エネルギー50~500keVにて 10^{11} ~ 10^{14} cm⁻²程度イオン注入し、結晶性回復、拡散のために非酸化性雰囲気中で熱処理を行ない、低濃度コレクタ領域107を形成する。

【0022】（E）この図において、（a）は平面図、（b）は（a）のイーイ線における断面図、（c）は（a）のローロ線における断面図である。

【0023】この工程においては、CVD法、異方性ドライエッチング、写真食刻技術を用いて酸化膜パターン（図1（E）の（a）のように長方形）102の対向する2辺（図1（E）の（a）、（c）参照）の部分に、側壁保護膜として酸化膜108を形成する。その後、熱燐酸によるウェットエッチングあるいは弗素系イオンによる等方性ドライエッチングを用いて、酸化膜102をさらに縮退（アンダーカット）させて、前記低濃度コレクタ領域107の表面を前記側壁保護膜108側でない2辺側で露出させる（図1（E）の（b）参照）。

【0024】（F）次いで、写真食刻法により、前記低濃度コレクタ107の露出部分の一方に、硼素などのp型不純物を加速エネルギー20~200keVにて 10^{12} ~ 10^{16} cm⁻²程度イオン注入し（109）、また、もう一方の側に磷、砒素などのn型不純物を加速エネルギー20~200keVにて 10^{12} ~ 10^{16} cm⁻²程度イオン注入する（110）。無論、このように片方ずつイオン注入する処理の場合、その不純物を注入する側と反対の側をレジストで覆って行ない、注入が終わったらレジストを除去する。その後、結晶回復のための熱処理を非酸化性雰囲気中で行ない、外部ベース（ベース接触部）109とコレクタ接触部（コレクタ抵抗低減領域）110を形成する。

【0025】（G）次に、熱燐酸によるウェットエッチングあるいは弗素系イオンによる等方性ドライエッチングを用いて、酸化膜102をさらに縮退（アンダーカット）させ、これをマスクにして熱酸化を施して、外部ベース109とコレクタ接触部110の表面および前記コレクタ領域107の一部表面、つまり前記縮退した酸化膜102の端部まで膜厚500~5000Å程度の酸化膜111を形成する。

【0026】（H）次に、前記酸化膜103、側壁保護膜108、酸化膜102を除去した後、硼素などのp型不純物を加速エネルギー5~50keVにて、 10^{12} ~ 10^{14} cm⁻²程度イオン注入し、結晶回復のための熱処理を非酸化性雰囲気中で行ない、真性ベース112を

形成する。

【0027】（I）最後に、露出した真性ベース112の部分に、多結晶シリコン電極113をCVD法と写真食刻法により形成し、これを介して磷、砒素などのn型不純物を 10^{16} ~ 10^{21} cm⁻³程度の濃度で真性ベース112中に拡散させてエミッタ114を形成する。

【0028】図2に本発明の第2の実施例を示し、以下に説明するが、第1の実施例と同じ工程は省略する。なお、第1の実施例と同じ部分には同じ符号を付してある。

【0029】まず、第1の実施例の（A）工程を施した後、次の工程を施す。

【0030】（B2）写真食刻技術などを用いて、酸化膜102と酸化膜103とを、レジストパターン104により、第1の実施例の（B）同様コレクタ領域上に残し、他の領域をエッチング削除する（第1の実施例では、ここで不純物注入を行なうがこの実施例では次の工程で行なう）。

【0031】（C2）次に、前記酸化膜102、酸化膜103の2層膜パターンをマスクにして弗酸、硝酸、酢酸の混合液などによるウェットエッチング、もしくは、弗素系イオンあるいは塩素系イオンによる等方性ドライエッチングを用いて、基板101に深さ0.1~1 μ m程度のリセス（一種のアンダーカットであり食い込む形状のくぼみ）115を形成した後、やはり前記2層膜102、103パターンをマスクにして、硼素などのp型不純物を加速エネルギー50~500keVにて 10^{12} ~ 10^{16} 程度イオン注入してチャンネルストップ層105を形成する。

【0032】（D2）次いで、前記2層膜102、103パターンをマスクにして、熱酸化を施し、素子分離絶縁膜106（膜厚1000~10000Å）を形成した後、磷、砒素などのn型不純物を加速エネルギー50~500keVにて 10^{11} ~ 10^{14} cm⁻²程度イオン注入し、非酸化性雰囲気中で熱処理を行ない、低濃度コレクタ領域107を形成する。

【0033】この後は、第1の実施例の（E）工程以下と同じ工程を施す。

【0034】図3に本発明の第3の実施例を示し、以下に説明するが、これも第1の実施例と同じ工程は省略し、かつ、同じ部分には同じ符号を付してある。

【0035】この実施例は、第1の実施例の（A）ないし（E）工程を施した後、以下の工程を施す。

【0036】（F3）写真食刻法により、第1の実施例の（F）工程同様、前記低濃度コレクタ領域107の露出部分の一方にp型不純物、もう一方にn型不純物を注入して、外部ベース109、コレクタ抵抗低減領域（コレクタ接触部）110を形成し、続いて、酸化膜102をマスクにして熱酸化を施し、前記外部ベース109上とコレクタ抵抗低減領域110上に膜厚500~500

0 Å程度の酸化膜111を形成する。

【0037】(G3)次いで、熱燐酸によるウェットエッチングあるいは弗素イオンによる等方性ドライエッチングを用いて、窒化膜102をさらに縮退させ、これをマスクとして熱酸化により、その縮退させた窒化膜102の端部まで達する前記コレクタ領域露出面上に膜厚200～2000 Å程度の酸化膜111を形成する。

【0038】この後は、第1の実施例の(H)(1)工程と同じ処理を施す。

【0039】図4に本発明の第4の実施例を示し、以下に説明するが、これも第1の実施例と同じ工程は省略するとともに、同じ部分には同じ符号を付してある。

【0040】まず、第1の実施例の(A)ないし(E)の工程を施した後、以下の工程を施す。

【0041】(F4)減圧化学的気相成長(CVD)法などにより、前の工程で縮退させた窒化膜102とその上の酸化膜103との間隙を埋めるように、膜厚500～5000 Å程度の多結晶シリコン膜116を基板101表面に接触するよう形成し、弗素系イオンまたは塩素系イオンを用いた異方性エッチバック技術で、ベース引き出し電極116aとコレクタ引き出し電極116bとを形成する。

【0042】続いて、写真食刻法により、前記ベース引き出し電極116a側に硼素などのp型不純物を加速エネルギー20～200 keVにて、 $10^{12} \sim 10^{16} \text{ cm}^{-2}$ 程度イオン注入(無論、このときその注入する領域以外はレジストで覆う)した後、今度はコレクタ引き出し電極側に燐、砒素などのn型不純物を加速エネルギー20～200 keVにて、 $10^{12} \sim 10^{16} \text{ cm}^{-2}$ 程度イオン注入する(無論、その領域以外はレジストで覆う)。その後、非酸化性雰囲気中で熱処理を行ない、ベース、コレクタ各引き出し電極116a、116bの中の不純物濃度を均一化するとともに、該電極116a、116bからの不純物の熱拡散により、外部ベース109とコレクタ抵抗低減領域110とを形成する。

【0043】(G4)(H4)次ぎに、酸化膜103、前の工程(第1の実施例(E))で形成されている側壁保護膜108(図示略)、窒化膜102を除去した後、800～900℃にて水蒸気酸化法により、ベース、コレクタ各引き出し電極116a、116b表面に膜厚500～5000 Åの酸化膜111を形成する。続いて、硼素などのp型不純物を、加速エネルギー5～50 keVにて $10^{12} \sim 10^{14}$ 程度イオン注入し、非酸化性雰囲気中で熱処理を施して真性ベース112を形成する。

【0044】(I4)最後に、前記酸化膜111が形成されてない部分の真性ベース(つまり真性ベースの露出している部分)112の領域に、多結晶シリコン電極113をCVD法と写真食刻法により形成し、これを介して燐、砒素などのn型不純物を $10^{16} \sim 10^{21}$ 程度の濃度で前記真性ベース112中に拡散させてエミッタ11

4を形成する。

【0045】

【発明の効果】以上、詳述の如く、本発明の製造方法によれば、素子分離の為の選択酸化の際に耐酸化マスク材として、耐酸化性膜と絶縁膜(酸化膜)から成る2層膜を用いるようにし、前記上層保護膜をマスク材として耐酸化性膜を縮退させながら、外部ベース、コレクタ抵抗低減領域、真性ベース、エミッタを順次形成するようにしたので、素子分離と前記各領域が全て自己整合で形成され、従って、高速動作に適した極めて微細な半導体装置を、写真食刻技術における位置合せ精度による制限を全く受けずに、再現性良好に製作する事が可能となる。

【0046】又、素子分離完了後、前記2層膜パターンの対向する2辺の側壁に保護膜を形成する様にしたので、前記耐酸化性膜の縮退操作を、前記側壁保護膜が形成されていない2辺に限定する事が可能となり、高不純物濃度の外部ベースとコレクタ抵抗低減領域のオーバーラップによる漏洩電流の発生を、防止する事が可能となる。

【0047】さらに、前記側壁保護膜は、前記耐酸化性膜の縮退操作の際に、前記上層保護膜(酸化膜)の支持体としても作用する為、縮退操作時に該上層保護膜がパターン崩れを起こす事が防止可能であり、安定性の高い工程が実現可能である。

【0048】加えて、本発明の第1乃至第4実施例によれば、以下に述べる特有の効果が得られる。

【0049】本発明の第1実施例の製造方法によれば、トランジスタ領域に、耐酸化性膜と上層保護膜から成る2層膜パターンを形成した後、前記2層膜パターンをマスクとして、素子間漏洩電流防止の為の高濃度の基板同一導電層、所謂チャンネルストップ層を形成し、一旦、前記耐酸化性膜を縮退させてから、選択酸化を施す様にしたので、低濃度コレクタと高濃度チャンネルカット層の接触が防止出来、従って、コレクタ・基板間接合容量の低減が図れ、結果として、低消費電力域におけるトランジスタの動作速度の向上が図れる。

【0050】本発明の第2実施例の製造方法によれば、トランジスタ領域に、耐酸化性膜と上層保護膜から成る2層膜パターンを形成した後、前記2層膜パターンをマスクとして、基板を等方性エッチングして「リセス」を形成してから、選択酸化を施す様にしたので、素子分離酸化膜の表面平坦化が図れ、その結果、後の耐酸化性膜縮退操作時の制御性が向上する。

【0051】また、前記「リセス」形成後、前記2層膜パターンをマスクとしてチャンネルストップ層が形成するようにしたので、低濃度コレクタと高濃度チャンネルストップ層の接触が防止出来、従ってコレクタ・基板間接合容量の低減が図れ、結果として低消費電力域におけるトランジスタの動作速度の向上が図れる。

【0052】本発明の第3実施例の製造方法によれば、

耐酸化性膜の縮退操作毎に選択酸化を施す事により、外部ベースとコレクタ抵抗低減領域上で比較的厚く、真性ベース上で比較的薄い保護膜を形成する様にしたので、コレクタ抵抗低減領域と真性ベースとの間に、保護膜厚の差分の距離を確保出来、従って、コレクタ・ベース接合容量の低減によるトランジスタの動作速度の向上と、コレクタ・エミッタ間降伏耐圧の向上が両立可能となる。

【0053】本発明の第4実施例の製造方法によれば、ベース、コレクタの各引出電極として多結晶シリコンを形成する様にしたので、トランジスタを配線ピッチによる制限を受ける事無く、微細化する事が可能となるばかりでなく、配線設計の自由度も増大し、回路レベルでの集積度を向上させる事が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例

【図2】本発明の第2の実施例

【図3】本発明の第3の実施例

【図4】本発明の第4の実施例

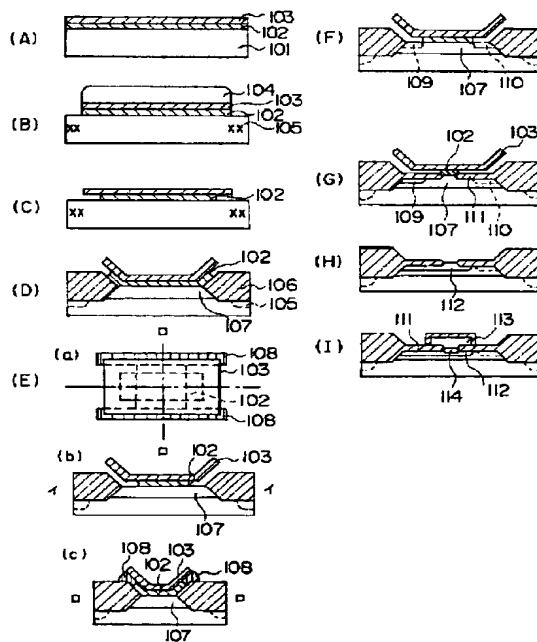
【図5】従来例（その1）

【図6】従来例（その2）

【符号の説明】

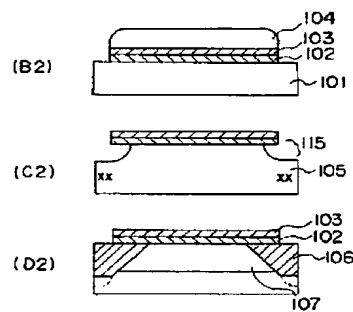
101	半導体基板
102	酸化膜
103, 111	酸化膜
104	レジスト
105	チャンネルストップ層
106	素子分離絶縁膜
107	コレクタ領域
108	側壁保護膜
109	外部ベース
110	コレクタ接触部
112	真性ベース
113	多結晶シリコン電極
114	エミッタ

【図1】



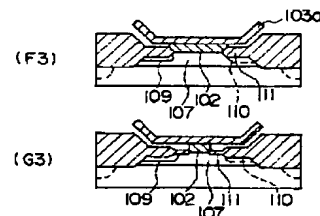
本発明の第1の実施例

【図2】



本発明の第2の実施例

【図3】

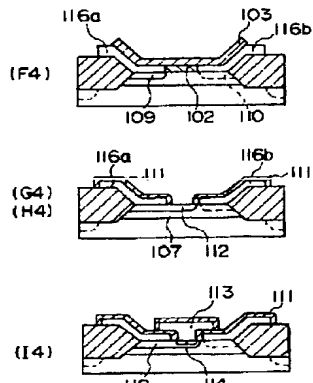


本発明の第3の実施例

(7)

特開平6-260489

【図4】



本発明の第4の実施例

【図5】

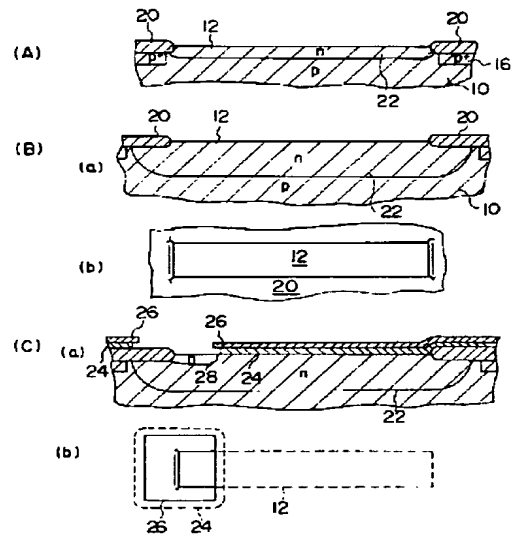


図5例 (その1)

【図6】

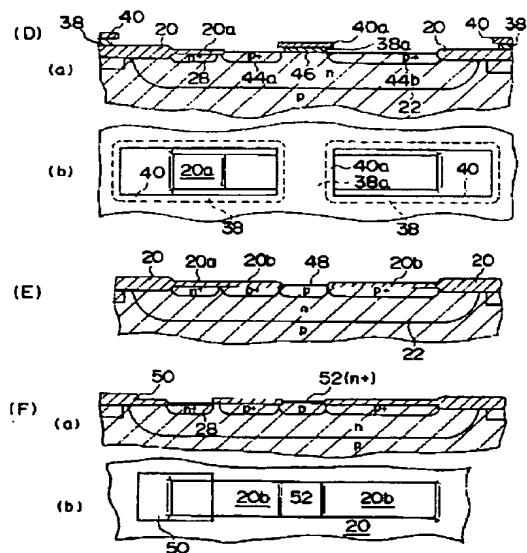


図6例 (その2)

